

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2006年3月30日 (30.03.2006)

PCT

(10) 国際公開番号
WO 2006/033155 A1

- (51) 国際特許分類⁷: G06K 19/077, 19/07, H01R 12/18
(21) 国際出願番号: PCT/JP2004/013929
(22) 国際出願日: 2004年9月24日 (24.09.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 Tokyo (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 西澤 裕孝 (NISHIZAWA, Hirotaka) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP). 大澤 賢治 (OSAWA, Kenji)

[JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP). 小池 秀雄 (KOIKE, Hideo) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP). 大迫 潤一郎 (OSAKO, Junichiro) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP). 和田 環 (WADA, Tamaki) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP).

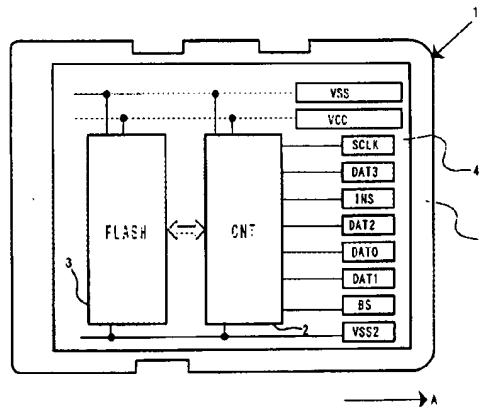
(74) 代理人: 玉村 静世 (TAMAMURA, Shizuyo); 〒1020083 東京都千代田区麹町5丁目7番地 秀和紀尾井町 TBRビル813号 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device has an external interface terminal and a processing circuit, and is removably attached to a host device so as to be supplied with operation power. Power supplying terminals (VCC, VSS) have a length that makes possible to keep contact with corresponding terminals of the host device for a prescribed time or more after a removal detecting terminal is taken out from the corresponding terminals of the host device, and are formed longer than the removal detecting terminal in the removal direction. The processing circuit is provided with an interface control circuit (2), which is connected with the external interface terminal, and a rewritable non-volatile memory (3), which is controlled by the interface control circuit. The non-volatile memory stores information by a difference of the threshold voltages of a memory cell. After the removal detecting terminal is taken out from the corresponding terminal of the host device and before the power supply is shut, the interface control circuit completes a process of matching the threshold voltage of the memory cell with prescribed threshold voltage distribution for a storage region wherein the threshold voltage is being initialized.

(57) 要約: 半導体装置は外部インタフェース端子と処理回路を有し、ホスト装置に抜き出し可能に装着されて動作電源の供給を受ける。電源供給用端子 (VCC, VSS) は、抜き出し検出用端子がホスト装置の対応端子から離脱してから所定時間以上ホスト装置の対応端子と接触を維持することができる長さを有し、前記抜き出し検出用端子よりも抜き出し方向に長く形成される。前記処理回路は前記外部インタフェース端子に接続されたインタフェース制御回路 (2) と、前記インタフェース制御回路によって制御される

[続葉有]



BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

書き換え可能な不揮発性メモリ(3)とを有し、前記不揮発性メモリはメモリセルの閾値電圧の相違によって情報記憶を行い、インタフェース制御回路は、前記抜き出し検出用端子がホスト装置の対応端子から離脱してから電源が遮断されるまでに、閾値電圧の初期化処理途中の記憶領域に対してメモリセルの閾値電圧を所定の閾値電圧分布に揃える処理を完了させる。

明 細 書

半導体装置

技術分野

- [0001] 本発明は、メモリカード、或いは不揮発性メモリチップにICカード用マイクロコンピュータなどを搭載したマルチファンクションカードに代表されるカードデバイスなどの半導体装置に関し、特に、動作中にホスト装置から抜き出されて電源供給が遮断されることによる不都合の解消に適用して有効な技術に関する。

背景技術

- [0002] 特許文献1にはカードスロットに対するカードデバイスの装着及び抜き出し検出にカードデバイス内でプルダウンされた検出端子とカードスロット内部でプルアップされた端子とを用いることが記載される。カードスロットにカードデバイスが装着されると、検出端子がカードスロットの対応端子に接触してカードスロット内部の対応端子の電位をグランドに引く。カードスロット側でこれを検出することによってカードデバイスへの動作電源の供給を開始する。カードが抜き出されたときはカードデバイスの検出端子がカードスロットの対応端子から離脱することによって当該対応端子が電源電圧にされ、カードスロット側でこれを検出することにより、抜き出されたカードデバイスへの電源の供給を停止する。
- [0003] 特許文献1:特開2000-99215号公報(図5)

発明の開示

発明が解決しようとする課題

- [0004] しかしながら上記従来技術はカード引き抜きによる電源遮断によってカード側で発生する不都合について考慮されていない。本発明者の検討によれば、フラッシュメモリを搭載したメモリカードでデータの書き換えを行っている最中に動作電源の供給が断たれて、動作が中断されると、データ破壊や回復不可能な特性劣化などを生ずる虞のあることが本発明者によって明らかにされた。例えば、書込み処理前の消去処理の途中で動作電源が遮断されると、過消去状態の不揮発性メモリセルが残る場合がある。ここで不揮発性メモリセルの過消去状態とは、例えば消去ベリファイ動作まで

完了したメモリセルが採るべき閾値電圧分布よりも閾値電圧が低くなっている状態をいう。過消去状態の不揮発性メモリセルの選択端子に非選択レベルを与えてもオン状態のままチャネルに電流が流れてしまう。このようなノーマリ・オンの不揮発性メモリセルが存在すると、ビット線を共有する他のメモリセルに対する読出し動作でも誤動作を生ずる。これに対して、本出願人による先の出願(特願2003-89691)では、カードデバイスの抜き出しによる電源遮断による不都合を比較的容易に解消する技術を提供している。すなわち、カードスロット(カードソケット)に装着されて動作電源の供給を受けるカードデバイスにおいて、カードスロットから引き抜かれるときカードスロット側からの電源供給が遮断される前にカードスロットの所定の端子から分離する検出端子に生ずる電位変化を検出してカード内部に終了処理を指示し、電源供給が完全に遮断される前に自ら終了処理を行うことができるようにしている。

[0005] しかしながら、先の出願では、終了処理に必要な時間の確保という観点について十分検討されていなかった。本発明者は、電源供給用端子と抜き出し検出用端子との関係に着眼した。更に、電源遮断に対して一定時間だけ電源供給を補償するコンデンサの併用についても検討した。小型のカードデバイスにあっては比較的小さな占有面積で比較的大きなキャパシタを得るのに好適な電気2重層コンデンサを使用することも考えられるが、内部抵抗が比較的大きく、処理に必要な電流を得難いことが明らかにされた。結局、電源供給用端子と抜き出し検出用端子との関係に着目して必要な処理時間を確保するのが最善であることが明らかになった。

[0006] 本発明の目的は、ホスト装置からの抜き出しによる電源遮断に対処するための処理時間の確保が比較的容易であり、動作途中における不意の電源遮断に対して機能や特性の劣化を抑制することが容易な半導体装置を提供することにある。

[0007] 本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

課題を解決するための手段

[0008] 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

[0009] [1]本発明に係る半導体装置は、外部インタフェース端子と処理回路を有し、ホスト

装置に抜き出し可能に装着されて動作電源の供給を受ける。前記外部インタフェース端子は、電源供給用端子、抜き出し検出用端子及びその他の端子を有し、前記電源供給用端子は、前記抜き出し検出用端子がホスト装置の対応端子から離脱してから所定時間以上前記ホスト装置の対応端子と接触を維持することができる長さを有し、前記電源供給用端子は、前記抜き出し検出用端子よりも抜き出し方向に長く形成される。前記処理回路は前記外部インタフェース端子に接続されたインタフェース制御回路と、前記インタフェース制御回路によって制御される書き換え可能な不揮発性メモリとを有し、前記不揮発性メモリはメモリセルの閾値電圧の相違によって情報記憶を行い、前記インタフェース制御回路は、前記抜き出し検出用端子がホスト装置の対応端子から離脱してから電源が遮断されるまでに、書き換え処理途中の前記不揮発性メモリに対して所定の処理を完了させる。

[0010] 上記より、前記電源供給用端子を抜き出し検出用端子よりも抜き出し方向に長くすれば、電源遮断までの時間を比較的長く採ることが容易である。ホスト装置側のコネクタ端子の配置を変えないようにするにはホスト装置へ挿入する方向に延ばすのがよいが、延長距離に制限を受け易く必要な処理時間を確保できない場合がある。また、半導体装置側における電源供給用端子の長さや形状を変えないで対処するにはホスト装置側のコネクタ端子との接触ポイントを前後2箇所とすれば電源供給用端子の長さを伸ばすのと実質的に同じ効果を得ることができるが、ホスト装置側のコネクタ端子の構成に対して複雑な改良が必要になる。上記手段によれば、電源遮断までに必要な時間の確保が容易で、しかもホスト装置側のコネクタ端子の構成に対して複雑な改良を必要とせず、動作途中における不意の電源遮断までに必要な処理を完了させることが容易になる。

[0011] 本発明の具体的な形態として、前記所定の処理は、閾値電圧の初期化処理途中の記憶領域に対してメモリセルの閾値電圧を所定の閾値電圧分布に揃える処理である。動作途中で電源が遮断されても過消去状態の不揮発性メモリセルが残るのを抑制することができる。

[0012] また、前記所定の処理は、記憶領域の認識に必要な管理領域に対する情報記憶を完了する処理である。ファイルメモリにおけるFAT(ファイル・アロケーション・テー

ブル)のような領域のデータが不完全なまま処理が中断されることによってセクタなどの記憶領域の認識が不可能になってしまう事態を抑制することができる。

[0013] また、前記所定の処理は、閾値電圧の初期化処理後における途中の情報記憶を完了する処理である。消去後にホスト側で指示した書き込み処理を完了することができるから、電源の再投入によって書き込みリトライなどの処理を行わずに済む。

[0014] 本発明の別の具体的な形態として、前記電源供給用端子は、前記抜き出し検出用端子よりも抜き出し方向とは反対側にも長くされ、前記抜き出し検出用端子を超えて抜き出し方向とは反対側に突出する長さは抜き出し方向に突出する長さよりも短い。少しでも前記電源供給用端子を長くしたい場合には有効である。

[0015] 本発明の更に別の具体的な形態として、前記インタフェース制御回路は前記抜き出し検出用端子の離脱を検出して前記不揮発性メモリに前記所定の処理を指示する。或いは、前記インタフェース制御回路は前記抜き出し検出用端子がホスト装置の対応端子から離脱したときホスト装置から供給されるコマンドに応答して前記不揮発性メモリに前記所定の処理を指示する。

[0016] [2]本発明の別の観点による半導体装置は、外部インタフェース端子と処理回路を有し、ホスト装置に抜き出し可能に装着されて動作電源の供給を受ける。前記外部インタフェース端子は、電源供給用端子、抜き出し検出用端子及びその他の端子を有し、前記電源供給用端子は、前記抜き出し検出用端子がホスト装置の対応端子から離脱してから2.5メートル/秒の抜き出し速度に対して1.0ミリ秒以上ホスト装置の対応端子と接触可能な長さを有する。前記処理回路は前記外部インタフェース端子に接続されたインタフェース制御回路と、前記インタフェース制御回路によって制御される書き換え可能な不揮発性メモリとを有し、前記不揮発性メモリはメモリセルの閾値電圧の相違によって情報記憶を行う。前記インタフェース制御回路は、前記抜き出し検出用端子がホスト装置の対応端子から離脱してから電源が遮断されるまでに、書き換え処理途中の前記不揮発性メモリに対して所定の処理を完了させる。

[0017] 本発明者の検討によると、ホスト装置から半導体装置を抜き出す速度は最高でも2.5メートル/秒を想定すれば十分である。プッシュ・プッシュタイプのカードソケットにバネの弾性力に抗して半導体装置を更に押し込んだ状態でそのまま外に突出させ

たときの速度を考慮している。このとき、電源遮断までに必要な処理時間を1ミリ秒と見積った。例えば過消去不揮発性メモリセルの閾値電圧を正規消去閾値電圧分布までシフトするのに必要な電圧印加処理時間などを考慮した。この関係から導かれる接触長さを確保することによって、電源遮断までに必要処理時間の確保が可能になる。

- [0018] 本発明の具体的な形態として、前記所定の処理は、閾値電圧の初期化処理途中の記憶領域に対してメモリセルの閾値電圧を所定の閾値電圧分布に揃える処理、或いは、記憶領域の認識に必要な管理領域に対する情報記憶を完了する処理、又は前記所定の処理は、閾値電圧の初期化処理後における途中の情報記憶を完了する処理である。
- [0019] 本発明の別の具体的な形態として、前記電源供給用端子は、前記抜き出し検出用端子よりも抜き出し方向とは反対側にも長くされ、前記抜き出し検出用端子を超えて抜き出し方向とは反対側に突出する長さは抜き出し方向に突出する長さよりも短い。
- [0020] 本発明の更に別の具体的な形態として、前記インタフェース制御回路は前記抜き出し検出用端子の離脱を検出して前記不揮発性メモリに前記所定の処理を指示する。或いは、前記インタフェース制御回路は前記抜き出し検出用端子がホスト装置の対応端子から離脱したときホスト装置から供給されるコマンドに応答して前記不揮発性メモリに前記所定の処理を指示する。
- [0021] [3]本発明の更に別の観点による半導体装置は、外部インタフェース端子と処理回路を有し、ホスト装置に抜き出し可能に装着されて動作電源の供給を受ける。前記外部インタフェース端子は、抜き出し方向と交差する方向に2列配置され、電源供給用端子、抜き出し検出用端子及びその他の端子を有し、前記電源供給用端子は、第1列から第2列にまたがる長さを有し、前記抜き出し検出用端子は第1列に配置され、その他の端子は第1列及第2列に配置される。前記処理回路は前記外部インタフェース端子に接続されたインタフェース制御回路と、前記インタフェース制御回路によって制御される書き換え可能な不揮発性メモリとを有し、前記不揮発性メモリはメモリセルの閾値電圧の相違によって情報記憶を行う。前記インタフェース制御回路は、前記抜き出し検出用端子がホスト装置の対応端子から離脱してから電源が遮断される

までに、書き換え処理途中の前記不揮発性メモリに対して所定の処理を完了させる。

- [0022] 上記より、もともと外部インタフェース端子を2列有する場合には、第1列から第2列にまたがるように前記電源供給用端子を形成すれば、電源遮断までの時間を比較的長く採ることが容易である。しかも、2列の端子列を有する場合はもともとカードソケットのコネクタ端子も少なくとも2列であるから前記電源供給用端子との接触も2個で安定に行うことができ、電源供給の安定化にも容易に対応することができる。電源遮断までに必要処理時間の確保が可能になる。
- [0023] 本発明の具体的な形態として、前記所定の処理は、閾値電圧の初期化処理途中の記憶領域に対してメモリセルの閾値電圧を所定の閾値電圧分布に揃える処理、或いは、記憶領域の認識に必要な管理領域に対する情報記憶を完了する処理、又は前記所定の処理は、閾値電圧の初期化処理後における途中の情報記憶を完了する処理である。
- [0024] 本発明の別の具体的な形態として、前記電源供給用端子は、前記抜き出し検出用端子よりも抜き出し方向とは反対側にも長くされ、前記抜き出し検出用端子を超えて抜き出し方向とは反対側に突出する長さは抜き出し方向に突出する長さよりも短い。
- [0025] 本発明の更に別の具体的な形態として、前記インタフェース制御回路は前記抜き出し検出用端子の離脱を検出して前記不揮発性メモリに前記所定の処理を指示する。或いは、前記インタフェース制御回路は前記抜き出し検出用端子がホスト装置の対応端子から離脱したときホスト装置から供給されるコマンドに応答して前記不揮発性メモリに前記所定の処理を指示する。
- [0026] [4]本発明の更に別の観点による半導体装置は、外部インタフェース端子と処理回路を有し、ホスト装置に抜き出し可能に装着されて動作電源の供給を受け、前記外部インタフェース端子は、電源供給用端子、抜き出し検出用端子及びその他の端子を有し、前記電源供給用端子は、前記抜き出し検出用端子がホスト装置の対応端子から離脱してから所定時間以上前記ホスト装置の対応端子と接触を維持することができる長さを有し、前記電源供給用端子は、前記抜き出し検出用端子よりも抜き出し方向に長く形成され、前記処理回路は、前記抜き出し検出用端子がホスト装置の対応端子から離脱したとき、電源が遮断されるまでの間に必要な所定の処理を完了さ

せる。

[0027] 上記において前記電源供給用端子は、前記抜き出し検出用端子がホスト装置の対応端子から離脱してから2.5メートル/秒の抜き出し速度に対して1.0ミリ秒以上ホスト装置の対応端子と接触可能な長さを有してもよい。

[0028] 外部インタフェース端子と処理回路を有し、ホスト装置に抜き出し可能に装着されて動作電源の供給を受ける半導体装置において、前記外部インタフェース端子は、抜き出し方向と交差する方向に2列配置され、電源供給用端子、抜き出し検出用端子及びその他の端子を有するとき、前記電源供給用端子は、第1列から第2列にまたがる長さを有し、前記抜き出し検出用端子は第1列に配置され、その他の端子は第1列及第2列に配置され、前記処理回路は、前記抜き出し検出用端子がホスト装置の対応端子から離脱したとき、電源が遮断されるまでの間に必要な所定の処理を完了させる。

発明の効果

[0029] 本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

[0030] すなわち、ホスト装置からの抜き出しによる電源遮断に対処するための処理時間の確保が比較的容易になり、しかもホスト装置側のコネクタ端子の構成に対して複雑な改良も必要とせず、動作途中における不意の電源遮断に対して機能や特性の劣化を抑制することが容易になる。

図面の簡単な説明

[0031] [図1]本発明の一例に係るメモリカードを示す概略平面図である。

[図2]メモリカードの外部インタフェース端子とカードスロットのコネクタ端子との接続例を装着完了状態で示す平面図である。

[図3]メモリカードの外部インタフェース端子とカードスロットのコネクタ端子との別の接続例を装着完了状態で示す平面図である。

[図4]メモリカードの外部インタフェース端子とカードスロットのコネクタ端子との更に別の接続例を装着完了状態で示す平面図である。

[図5]挿抜検出を電圧検出で行うための回路構成を例示する回路図である。

[図6]挿抜検出を電流検出で行うための回路構成を例示する回路図である。

[図7]外部インタフェース端子を2列で配置した例を示す平面図である。

[図8]外部インタフェース端子を2列で配置した別の例を示す平面図である。

[図9]メモ리카ードの飛び出し抑制機構を例示する概略平面図である。

[図10]メモ리카ードの回路部品搭載面を例示する平面図である。

[図11]本発明の第2の例に係るマルチファンクションを有するメモ리카ードのブロック図である。

[図12]図11のメモ리카ードの外部インタフェース端子の配列を例示する平面図である。

。

[図13]アンテナ端子が大きくなっている点で図12と相違される外部インタフェース端子の配列を示す平面図である。

[図14]アンテナ端子と第2グラウンド端子の前後の配置が逆になっている点で図12と相違される外部インタフェース端子の配列を例示する平面図である。

[図15]アンテナ端子と第2グラウンド端子の前後の配置が逆になっている点で図13と相違される外部インタフェース端子の配列を例示する平面図である。

[図16]第2グラウンド端子を廃止しその分だけアンテナ端子を長くした点で図12と相違される外部インタフェース端子の配列を例示する平面図である。

符号の説明

- [0032]
- 1 メモ리카ード
 - 2 インタフェース制御回路
 - 3 フラッシュメモリ
 - VSS (電源供給用端子)グラウンド端子
 - VCC (電源供給用端子)電源端子
 - INS (抜き出し検出用端子)挿抜検出端子
 - VSS2 第2グラウンド端子
 - 4 カード基板
 - 5 ケーシング
 - 10 VCCに対応するカードソケットのコネクタ端子

- 11 VSSに対応するカードソケットのコネクタ端子
- 14 INSに対応するカードソケットのコネクタ端子
- 23 ホスト装置のカードスロット
- 30～32 切り欠き
- 33～35 板ばね
- 36 電源配線
- 37 グランド配線
- 38 デカップリングコンデンサ
- 41 メモリカード
- 42 カードコントローラ
- 43 フラッシュメモリ
- 44 ICカードマイコン
- LA, LB アンテナ接続端子

発明を実施するための最良の形態

[0033] 《メモリカード》

図1には本発明の一例に係るメモリカードが例示される。メモリカード1は、インタフェース制御回路2とフラッシュメモリ3を搭載したカード基板4を有し、搭載面をケーシング5で覆い、搭載面と反対の面には外部インタフェース端子が露出されて構成される。図ではインタフェース制御回路2及びフラッシュメモリ3とカード基板4上の配線は模式的に図示してある。

- [0034] 図1に示される外部インタフェース端子は、グランド端子VSS、電源端子VCC、第2のグランド端子VSS2、シリアルクロック入力端子SCLK、挿抜検出端子INS、バステータス端子BS、及びデータ端子DAT0～DAT3を有する。グランド端子VSS、電源端子VCC、第2のグランド端子VSS2はインタフェース制御回路2及びフラッシュメモリ3に結合されて動作電源の供給に用いられる。シリアルクロック入力端子SCLK、挿抜検出端子INS、バステータス端子BS、及びデータ端子DAT0～DAT3はインタフェース制御回路2に結合する。メモリカードは図示を省略するホスト装置のカードスロットに着脱自在に装着されると、前記外部インタフェース端子はカードスロットの

コネクタ端子に接触してホスト装置との電氣的接続を達成する。これによってメモリカード1にはホスト装置からグランド端子VSS、電源端子VCC及び第2のグランド端子VSS2を介して電源が供給される。メモリカード1は動作電源が供給されると、パワーオンリセットされる。パワーオンリセットされた後、インタフェース制御回路2はホスト装置との間で所定のインタフェースプロトコルに従ったインタフェース制御を行い、また、フラッシュメモリ3に対してファイルメモリアクセスのためのメモリインタフェース制御を行う。尚、前記データ端子DAT1〜DAT3を用いない動作モードではDAT0がシリアルデータ入出力端子(SDIO)として機能される。

- [0035] フラッシュメモリ3は、電氣的に消去及び書き込み可能な多数の不揮発性メモリセルがマトリクス配置されたメモリマツトを有する。前記不揮発性メモリセルは、特に制限されないが、ソース(ソース線接続)、ドレイン(ビット線接続)、チャネル、チャネル上に相互に絶縁されて積み上げられたフローティングゲート及びコントロールゲート(ワード線接続)を持つスタックドゲート構造とされる。例えばワード線に負の高電圧を印加してフローティングゲートから電子をウェル領域に引き抜くことによって消去処理が行なわれ、また、ワード線電圧に正の高電圧を印加してドレイン領域からフローティングゲートへホットキャリアを注入して書込み処理が行なわれる。消去処理と書込み処理ではその後のコントロールゲートから見た閾値電圧が相違され、この相違により情報記憶を行う。不揮発性メモリセルのドレイン電極は対応するビット線に、ソース電極は対応するソース線に結合される。データ読み出し動作またはベリファイ動作では、ビット線を共有する不揮発性メモリセルのうち一つのメモリセルのコントロールゲートにワード線を介して選択レベルが与えられ、ビット線を共有するその他の不揮発性メモリセルのコントロールゲートにはワード線を介して非選択レベルが与えられ、選択レベルが与えられた不揮発性メモリセルの閾値電圧が選択レベルよりも低い場合と高い場合に応じて読み出しデータの論理値が決まる。このとき、ビット線を共有する不揮発性メモリセルの中に一つでもノーマリ・オンの不揮発性メモリセルがあると正常な読み出し動作を行うことができない。ノーマリ・オンの不揮発性メモリセルとは、非選択レベルよりも低い閾値電圧を持つ不揮発性メモリセル、すなわち、過消去状態の不揮発性メモリセルである。

- [0036] インタフェース制御回路2はフラッシュメモリ3をハードディスク互換のファイルメモリとしてアクセス制御する。例えば、フラッシュメモリ3のデータ領域をセクタ単位でアクセス可能にアドレス管理を行うと共に、不良セクタに対する代替セクタの割り当て制御などを行う。フラッシュメモリ3に対するアクセスでは、物理アドレスを用いて、消去処理、書込み処理、読み出し処理のアクセス制御を行う。
- [0037] 《電源供給用端子》
- 前記外部インタフェース端子は、特に制限されないが、カード基板4上で導電パターンのエッチングによって整形されている。第2のグランド端子VSS2、シリアルクロック入力端子SCLK、挿抜検出端子INS、バーステータス端子BS、及びデータ端子DAT0〜DAT3は夫々同じ大きさで一列に等間隔で配列されている。図1においてA方向がメモ리카ード1をホスト装置に装着するときの挿入方向になる。グランド端子VSS及び電源端子VCCは、前記挿入方向Aとは反対方向に長く形成されている。
- [0038] 図2にはメモ리카ード1の外部インタフェース端子とカードスロットのコネクタ端子との関係が例示される。10は電源端子VCCに対応するコネクタ端子、11はグランド端子VSSに対応されるコネクタ端子、12〜14はその他の外部インタフェース端子を代表してシリアルクロック入力端子SCLK、データ端子DAT3及び挿抜検出端子INSに対応するコネクタ端子を示す。外部インタフェース端子との接触点は各コネクタ端子10〜14の先端部になる。電源供給用コネクタ端子10、11と電源供給用端子VCC、VSSとの接触点は他のコネクタ端子と対応する外部インタフェース端子12〜14との接触点に対して距離Dだけ挿入方向Aとは反対方向に離れている。したがって、メモ리카ード1の挿入時は、電源供給用端子VCC、VSSは他の外部インタフェース端子よりも距離Dに対応する接触時間分だけ早く対応するコネクタ端子に接続する。メモ리카ード1の抜き取り時は、電源供給用端子VCC、VSSは他の外部インタフェース端子よりも距離Dに対応する接触時間分だけ遅く対応するコネクタ端子から離脱する。要するに、他の外部インタフェース端子がカードソケットのコネクタ端子から離脱した後、距離Dに対応する接触時間分だけ電源遮断を遅らせることができる。
- [0039] 上述の如く、グランド端子VSS及び電源端子VCCを、前記挿入方向Aとは反対方向に長く形成すれば、電源遮断までの時間を比較的長く採ることが容易である。これ

に対し、ホスト装置側のコネクタ端子の配置を変えないようにするには挿入方向(A方向)に延ばすのがよいが、延長距離に制限を受け易く必要な処理時間を確保できない場合がある。また、メモ리카ードの電源供給用端子の長さや形状を変えないで対処するにはホスト装置側のコネクタ端子との接触ポイントを前後2箇所とすれば電源供給用端子の長さを伸ばすのと実質的に同じ効果を得ることができるが、ホスト装置側のコネクタ端子の構成に複雑な改良が必要になってしまう。したがって、グランド端子VSS及び電源端子VCCを、メモ리카ード1の挿入方向Aとは反対方向に長く形成することにより、電源遮断までに必要な時間の確保が容易で、しかもホスト装置側のコネクタ端子の構成に対して複雑な改良を必要としない。

[0040] 図3にはメモ리카ードの外部インタフェース端子とカードスロットのコネクタ端子との別の例が示される。電源端子VCC対応のコネクタ端子10A, 10Bを先端をずらして2本設け、同じくグランド端子VSS対応のコネクタ端子11A, 11Bを先端をずらして2本設けた。短い方のコネクタ端子10A, 11Aは他のコネクタ端子の先端と同じ位置とされ、長い方のコネクタ端子10B, 11Bの先端は短い方のコネクタ端子10A, 11Aの先端から距離D離れている。この場合も図2と同じように、メモ리카ード1の挿入時は、電源供給用端子VCC, VSSは他のインタフェース端子よりも距離Dに対応する接触時間分だけ早く対応するコネクタ端子に接続する。カードの抜き取り時は、電源供給用端子VCC, VSSは他のインタフェース端子よりも距離Dに対応する接触時間分だけ遅く対応するコネクタ端子から離脱する。特に、電源とグランドの夫々において電源の供給ポイント(電源供給用端子と対応するコネクタ端子との接続点)が各2箇所になるので、メモ리카ード1装着後の電源供給の安定性を向上させることができる。

[0041] 図4にはメモ리카ードの外部インタフェース端子とカードスロットのコネクタ端子との更に別の例が示される。電源端子VCC対応のコネクタ端子10C, 10Dを先端をずらして2本設け、同じくグランド端子VSS対応のコネクタ端子11C, 11Dを先端をずらして2本設けた点は図3と同じであるが、短い方のコネクタ端子10C, 11Cは他のコネクタ端子の先端から距離Dだけ離れ、長い方のコネクタ端子10D, 11Dの先端は短い方のコネクタ端子10C, 11Cの先端から更に距離Fだけ離れている。メモ리카ード1の挿入時は、電源供給用端子VCC, VSSは他の外部インタフェース端子よりも距離D+

Fに対応する接触時間分だけ早く対応するコネクタ端子に接続する。カードの抜き取り時は、電源供給用端子VCC、VSSは他のインタフェース端子よりも距離D+Fに対応する接触時間分だけ遅く対応するコネクタ端子から離脱する。要するに、他のインタフェース端子がカードソケットのコネクタ端子から離脱した後、距離D+Fに対応する接触時間分だけ電源遮断を遅らせることができる。カードソケットにメモ리카ード1を装着完了した状態において電源とグラウンドの夫々において電源の供給ポイントは各1箇所ではあるが、その距離D+Fの分だけ時間差を大きくすることができる。

- [0042] 上記電源供給用端子10、11を長くすることによってカード挿抜時に前記時間差を得ることができる。装着時は、その時間差をもって早くメモ리카ードのパワーオンリセットを行い、抜き取り時は、その時間差分だけ早い挿抜検出から電源遮断までに途中の処理を終了させるための終了処理を行う。終了処理の詳細については後述する。特に本発明では後者の終了処理に必要な時間差を考慮して電源供給用端子10、11の長さを決めている。本発明者の検討によると、ホスト装置からメモ리카ード1を抜き出す速度は最高でも2.5メートル/秒を想定すれば十分である。プッシュ・プッシュタイプのカードソケットにバネの弾性力に抗して半導体装置を更に押し込んだ状態でそのまま外に突出させたときの速度を考慮している。このとき、電源遮断までに必要な処理時間を1ミリ秒と見積った。例えば過消去不揮発性メモリセルの閾値電圧を正規消去閾値電圧分布までシフトするのに必要な電圧印加処理時間などを考慮した。この関係から導かれる接触長さを確保することによって、電源遮断までに必要処理時間の確保が可能になる。すなわち、前記電源供給用端子は、前記抜き出し検出用端子がホスト装置の対応端子から離脱してから2.5メートル/秒の抜き出し速度に対して1.0ミリ秒以上ホスト装置の対応端子と接触可能な長さを有する。例えば、前記抜き出し速度を2.5メートル/秒として、電源遮断までに必要な処理時間を1ミリ秒とすると、図2及び図3におけるDを2.5ミリメートル、図4におけるD+Fが2.5ミリメートルとする。

- [0043] 図5には挿抜検出のための回路構成が例示される。挿抜検出端子INSに対応されるカードスロットのコネクタ端子14はホスト装置23の内部で抵抗21を介してプルアップされている。メモ리카ード1内部では挿抜検出端子INSは抵抗22を介してグラウンド端子VSS、VSS2に接続される。メモ리카ード1自らがカードスロットからの抜き出しを

検出可能にするために、例えば挿抜検出端子INSにはアンプ20の入力が結合され、その出力を用いて抜き出しを判定する。コネクタ端子14はフローティングの状態では電源電圧vccにプルアップされている。メモ리카ード1を挿入してコネクタ端子14に挿抜検出端子INSが接触すると、抵抗21と22の分圧比で決まるローレベルにされる。これをホスト装置23が検出することによりメモ리카ード1の装着を認識する。前記アンプ20はそのローレベルとグラウンド電圧vssとの間のレベルを入力閾値電圧として有し、入力電圧が入力閾値電圧よりも低ければローレベル、高ければハイレベルを出力する。メモ리카ード1の抜き取りによってコネクタ端子14から挿抜検出端子INSが離脱すると、アンプ20の入力が回路のグラウンド電圧vssとなり、アンプ20の出力反転によってインタフェース制御回路2はメモ리카ード1の抜き取りを認識することができる。

[0044] 図6には挿抜検出のための別の回路構成が例示される。挿抜検出端子INSに対応されるカードスロットのコネクタ端子は図5と同様にホスト装置の内部で抵抗21を介してプルアップされている。メモ리카ード1内部では挿抜検出端子INSは差動アンプ24の反転入力端子(−)に接続される。差動アンプ24の出力端子は抵抗25を介して反転入力端子(−)に負帰還される。差動アンプの非反転入力端子(+)にはグラウンド端子VSS、VSS2が接続される。この負帰還差動アンプ24の出力電圧Voutは反転入力端子(−)に供給される電流をi、負帰還抵抗24の抵抗値をRとすると、 $V_{out} = -i \cdot R$ となる。この負帰還差動アンプ24により挿抜検出端子INSに供給される電流の有無を検出することができ、これによって、ホスト装置のコネクタ端子とメモ리카ードの挿抜検出端子INSとの接触・離脱を検出可能になる。

[0045] 図7には外部インタフェース端子を2列で配置した例を示す。TMLは第2列目の外部インタフェース端子である。外部インタフェース端子TMLは、例えば、並列データ入出力ビット数を増やす場合に増設したデータ端子、或いはメモ리카ード1にセキュリティー用のICカード用マイクロコンピュータを搭載したときのインタフェース端子とされる。第1列目の外部インタフェース端子は図1と同じである。

[0046] 図8には外部インタフェース端子を2列で配置した別の例を示す。図7との相違点は第1列の電源供給用端子の配置である。図1及び図7と比べれば明らかなように、電源供給用端子VSS、VCCをカード挿入方向に距離Gだけずらして配置している。こ

れは、第2列目の外部インタフェース端子TMLを増設することによってその間の配線スペースが小さくなって不都合があるような場合に少しでもその間の配線スペースを大きくするためである。また図7と比べれば明らかなように電源供給用端子VSS、VCCを他の外部インタフェース端子に比べて太らせてある。このようにすることにより、上記電源供給用端子のコネクタ端子を2つの接点で構成するときに、コネクタ端子の製造を容易にすることができる。

[0047] 図9にはメモ리카ードの飛び出し抑制機構が例示される。メモ리카ード1の両側面には切り欠き30-32が形成されている。ホスト装置のカードスロット23にはメモ리카ード1の側面に弾性的に接触する板ばね33-35が片持ちで支持されている。メモ리카ード1がカードスロット23に装着完了された状態(A)において、前記板ばね34、35が切り欠き31、32に入り込んでメモ리카ード1を位置決めする。前記板ばね33はメモ리카ード1の側面に押圧力を作用している。カードスロット23は、例えば押し込み操作でカードの装着・離脱を許容する所謂プッシュ・プッシュ形態の構成を有する。すなわち、ばねの押圧力に抗して挿入されたメモ리카ードの変移によりばねを圧縮してトグルラッチでラッチし、その後でメモ리카ードを僅かに押し込むことによってトグルラッチによるラッチを外してばねの弾性力でメモ리카ードを排出方向に付勢する構成を有する。図9の装着状態(A)からメモ리카ードを挿入方向に僅かに押してメモ리카ードに排出方向の付勢力が作用された直後の状態(B)では、3個の板ばね33-35がメモ리카ード1の側面に弾性的に接触して、摺動抵抗を作用し、メモ리카ード1が勢い良く飛び出してしまうことを抑制する。これは、ホスト装置からメモ리카ード1を抜き出すときの最高速度を遅くするように寄与する。前記終了処理時間に比較的長い時間を要する場合には、前記距離D、D+Fを短くするように作用する。

[0048] 《終了処理》

メモ리카ードの抜き取り時における終了処理について説明する。前記終了処理は、例えば消去及び消去ベリファイ処理途中の不揮発性メモリセルの閾値電圧を所定の閾値電圧分布に揃える処理(書き上げ処理とも称する)である。ここで、フラッシュメモリ3に対する書き上げ処理の指示はリセット信号(図示を省略)によって行われる。すなわち、フラッシュメモリ3は消去及び消去ベリファイ処理の途中でリセット信号がアサ

ートされると、書き上げ処理を行う。例えばフラッシュメモリにおいて消去処理がワード線単位の不揮発性メモリセルに対して行なわれるとすると、書き上げ処理は消去処理対象とされる不揮発性メモリセルに対して軽い書き込みを行う処理とされる。軽い書き込みとは、書き込み高電圧印加時間を通常書き込み処理よりも短くする書き込み処理であり、消去対象のメモリセルのうち、しきい値電圧が負電圧となっているメモリセルのしきい値電圧を正電圧にまで高くする処理である。ワード線単位で消去処理が行われる場合に、ワード線に書込電圧を印可した場合、しきい値電圧が負電圧となっているメモリセルでは電荷を蓄積する電荷蓄積層に印可される電位差が、しきい値電圧が正電圧となっているメモリセルの電荷蓄積層に印可される電位差に比べて大きくなるため、しきい値電圧が負電圧となっているメモリセル程、早く書込が行われることになる。書き上げ処理では過消去状態特にしきい値電圧が負電圧状態になっているメモリセルのしきい値電圧を正電圧にすることが目的であるため、通常書き込み処理よりも書込電圧の印加時間は短くて良い。これにより、メモリカード1は、電源供給が完全に遮断される前に、データの書込み途中で不所望な電源遮断が発生しても過消去状態のメモリセルが残らないように、自らで処理を行うことができる。書き上げ処理時間を短くするには可能な範囲で印加電圧を高くすればよい。

- [0049] 別の終了処理は、記憶領域の認識に必要な管理領域に対する情報記憶を完了する処理である。ファイルメモリにおけるFAT(ファイル・アロケーション・テーブル)若しくはセクタ管理領域は電源投入によって読み出し可能であることが保証されなければならない。例えばセクタ管理領域には論理アドレス(セクタアドレス)とメモリアドレスの対応、セクタの有効性や不良セクタに対する代替アドレスなどが格納されている。終了処理として、書き換え対象セクタに関するFAT若しくはセクタ管理領域の情報記憶を完了することにより、そのような領域のデータが不完全なまま処理が中断されることによってセクタなどの記憶領域の認識が不可能になってしまう事態を抑制することができる。例えば消去対象セクタのセクタ管理領域もセクタ消去と一緒に消去される場合を想定すると、この終了処理を行わない場合には当該セクタの認識が完全に不可能になる場合も予想される。終了処理の指示もフラッシュメモリ3に対するリセット信号として与えられればよい。このリセット信号がアサートされたとき消去処理又は書き込

み処理中であれば上記FAT若しくはセクタ管理領域に対する情報記憶を完了する終了処理を行えばよい。

- [0050] また、別の終了処理は、閾値電圧の初期化処理後における途中の情報記憶を完了する処理である。例えば、リセット信号がアサートされたとき消去処理又は書き込み処理中であれば、書き込み途中のセクタに対する書き込み処理を完了し、当該セクタ管理領域には当該セクタが有効であることを示す管理情報をセットする。消去後にホスト側で指示した書き込み処理を完了することができるから、電源の再投入によって書き込みリトライなどの処理を行わずに済む。

- [0051] 《コンデンサフリー》

上述の如く、前記電源供給用端子VCC、VSSを抜き出し検出用端子INSよりも抜き出し方向に長くすれば、電源遮断までの時間を比較的長く採ることが容易である。したがって、動作途上での電源遮断時に動作電源を補償するために前記電源端子VCCに接続する電源配線とグランド端子VSSに接続するグランド配線との間に電源補償用コンデンサを搭載することを必要としない。したがって電源補償用コンデンサを搭載するためのスペースを要しない。小型で比較的大きなキャパシタを得ることができても比較的大きな電流を採るには不適切な電気2重層コンデンサをあえて採用することも必要ない。

- [0052] 図10にはメモ리카ード1の回路部品搭載面が示される。配線として電源配線36とグランド配線37が代表的に示される。電源配線36とグランド配線37との間には前述の如く電源補償用コンデンサは接続されていない。この例では、電源配線36とグランド配線37との間にチャタリング低減機能を有する2個のデカップリングコンデンサ38が接続されている。前記デカップリングコンデンサ38に必要なキャパシタは小さいから、これを搭載することは面積的な負担にならない。

- [0053] 《マルチファンクションメモ리카ード》

図11には本発明の第2の例に係るマルチファンクションを有するメモ리카ードのブロック図が例示される。同図に示されるメモ리카ード41は、例えば、情報記憶機能、そして暗号化・復号処理及び認証処理などを伴うセキュリティー機能などの、マルチファンクションを提供する。セキュリティー機能は例えばクレジットカードによる決済や交通

機関における課金等に利用される。

- [0054] メモリカード41は、複数個の外部端子が形成された配線基板に、カードコントローラ42と、前記カードコントローラ42に内部バス45で接続された電氣的に書き換え可能な不揮発性記憶装置例えばフラッシュメモリ43と、前記カードコントローラ42に内部バス46で接続されたセキュリティコントローラとしてのIC(インテグレートッド・サーキット)カード用マイクロコンピュータ(ICカードマイコンとも称する)44が搭載される。特に制限されないが、前記カードコントローラ42、フラッシュメモリ43、及びICカードマイコン44は夫々個別の半導体集積回路チップで構成されている。
- [0055] カードコントローラ42は、例えばマルチメディアカード規格準拠のメモリカードとしての外部インタフェース機能、フラッシュメモリをその仕様に依じてファイルメモリとしてアクセスするメモリインタフェース機能、そしてメモリカードコマンド等を用いてICカードマイコンとインタフェースするICカードマイコンインタフェース機能を持つ。
- [0056] フラッシュメモリ43は、特に図示はしないが、電氣的に消去及び書き込み可能な不揮発性メモリセルを有する。不揮発性メモリセルは、特に図示はしないが、フローティングゲートを有する所謂スタックドゲート構造、或いはONO(オキサイド・ナイトライド・オキサイド)ゲート絶縁膜を備えたメモリトランジスタ部と選択トランジスタ部から成る所謂スプリットゲート構造を有する。前記不揮発性メモリセルは、前記フローティングゲート等に電子が注入されると閾値電圧が上昇し、また、前記フローティングゲート等から電子を引き抜くと閾値電圧が低下する。前記不揮発性メモリセルは、データ読み出しのためのワード線電圧に対する閾値電圧の高低に応じた情報を記憶することになる。フラッシュメモリ43は、カードコントローラ42の制御によって、不揮発性メモリセルに記憶された情報の読み出し、不揮発性メモリセルに対する情報の格納(例えば書き込み)、及不揮発性メモリセルの記憶情報の初期化(例えば消去)が可能にされる。
- [0057] ICカードマイコン44は、特に図示はしないがCPUとその動作プログラム及び認証に利用する制御情報など保有する不揮発性メモリを備え、その動作プログラムに従って認証処理や暗号化・復号処理等を行う。ICカードマイコン44には、それ単独で外部と接触インタフェースを行なうもの、或いは非接触インタフェースを行なうもの、または双方のインタフェースが可能なデュアルインタフェースを行なうものを採用すること

ができる。ここでは、非接触インタフェースを採用し、例えばデータ入出力、クロック入力、リセット信号入力を端子LA, LBに接続するアンテナを用いた高周波通信で行う。非接触インタフェースで動作をする場合、ICカードマイコン44はアンテナ端子(LA, LB)に接続されるアンテナから電力が供給されて動作する。

- [0058] メモリカード41は外部インタフェース端子としてC1〜C5, C6, C6A, C6B, C7〜C13の外部端子を有する。ここでは8ビット並列データ入出力可能な例とされ、C1はデータ端子DAT3、C7〜C9はデータ端子DAT0〜DAT2、C10〜C13はデータ端子DAT4〜DAT7、C2はコマンド端子CMD、C5はクロック端子CLK、C4は電源端子VCC、C3はグランド端子VSS、C6は第2のグランド端子VSS2、C6A, C6Bはアンテナ端子LA, LBである。第2のグランド端子VSS2はメモリカードにおいてカード挿抜検出に利用される。
- [0059] 図12にはメモリカード41の外部インタフェース端子の配列が例示される。外部インタフェース端子はメモリカード41の挿入方向Aに対して交差する方向に2列で形成される。電源供給用端子VSS, VCCは2列にまたがって形成されている。カードスロットのコネクタ端子は第1列目のインタフェース端子に対応するものは、第2列目のインタフェース端子に対応するものよりもカード挿入方向前方になっている。もともと外部インタフェース端子を2列有する場合には、第1列から第2列にまたがるように前記電源供給用端子VCC, VSSを形成すれば、電源遮断までの時間を比較的長く採ることが容易である。しかも、2列の端子列を有する場合はもともとカードスロットのコネクタ端子も少なくとも2列であるから前記電源供給用端子VSS, VCCとの接触も各々2個で行うようにするのは容易であり、電源供給の安定化にも容易に対応することができる。図11及び図12の例では専用端子として挿抜検出用端子が設けられていない。ここでは第2グランド端子VSS2を挿抜検出に利用する。すなわち、電源端子VCCと第2グランド端子VSS2を高抵抗で接続する。メモリカード41がカードスロットに装着された状態では第2のグランド端子VSS2のレベルはグランド電位になっている。カードスロットからメモリカード41を抜き出すと、電源端子VCCが対応するハードソケットの電源用コネクタ端子から離脱するまで、第2のグランド端子VSS2はハイレベルにされる。これによってカードコントローラ42はカードの抜き出しを認識することができる。

カードの抜き出しを検出すると、カードコントローラ42は電源遮断前の間に前述と同じように終了処理を行う。

- [0060] 図12において、アンテナ端子LA, LBと第2グラウンド端子VSS2は第1列目のクロック端子CLKに代表される第1列目のインタフェース端子の大きさの領域に分割して形成されている。メモリカード41のICカードマイコン44は非接触インタフェースとされるが、カードコントローラ43を介して外部とインタフェースされるような接触インタフェースを採用する場合には、アンテナ端子LA, LBと第2グラウンド端子VSS2は1個の第2グラウンド端子VSS2とされる。したがって、そのような非接触インタフェース非対応のメモリカードに対して第2グラウンド端子の大きさの端子領域を利用することにより、2個のアンテナ接続端子LA, LBを有する非接触インタフェース対応のメモリカード41とすることができる。前記2個のアンテナ接続端子LA, LBが形成される個所は、アンテナによるデータ入出力機能を備えていない非接触インタフェース非対応のメモリカードにおける第2グラウンド端子が形成される領域に対応される。非接触インタフェース対応のメモリカードを、非接触インタフェース非対応のメモリカード用のカードスロットに挿入した場合に、アンテナ接続端子LA, LBはカードスロット内でグラウンド電位供給用のコネクタ端子に接続することになる。接地電位には交流成分、即ち信号成分が無いので、メモリカードの動作上問題はない。逆にアンテナ接続端子LA, LBによってグラウンド電位に高周波成分が重畳されても電位が大きく変動することは無い。よって、非接触インタフェース非対応のメモリカード用カードスロットに、図11のメモリカード41を挿入した場合に、アンテナ接続端子LA, LBにカードスロット側の信号用コネクタ端子が接続することによる不都合はない。また、非接触インタフェース用のカードスロットに非接触インタフェース非対応のメモリカードを挿入した場合にカードスロットのアンテナ接続用コネクタ端子が非接触インタフェース非対応メモリカードのグラウンド用コネクタ端子に接続してアンテナがショートするが、アンテナによる起電力は小さく、且つ、アンテナの出力インピーダンスも大きいから、アンテナショートによる不都合は生じない。図11に示されるように、前記アンテナ接続端子LA, LBには、AC結合用の容量素子Cacを介してICカードマイコン44に接続される。アンテナ接続端子LA, LBから非接触インタフェース非対応のカードスロットのグラウンド電位用コネクタ端子

を介してグラウンド電位に直流成分が重畳されるのを確実に抑止し、また、アンテナからの信号成分の伝達を妨げないようにすることが確実になる。

[0061] 図13に示されるメモリカード41の外部インタフェース端子の配置は、アンテナ端子LA, LBが大きくなっている点で図12と相違される。図14に示されるメモリカード41の外部インタフェース端子の配置は、アンテナ端子LA, LBと第2グラウンド端子VSS2の前後の配置が逆になっている点で図12と相違される。図15に示されるメモリカード41の外部インタフェース端子の配置は、アンテナ端子LA, LBと第2グラウンド端子VSS2の前後の配置が逆になっている点で図13と相違される。図16に示されるメモリカード41の外部インタフェース端子の配置は、第2グラウンド端子VSS2を廃止し、その分だけアンテナ端子LA, LBを長くした点で図12と相違される。

[0062] 以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

[0063] 例えば、消去・書き込みの定義は上記とは逆であってもよい。不揮発性メモリセルの記憶情報は2値に限定されず4値以上であってもよい。メモリカードの外部インタフェース端子の機能や名称は以上の説明に限定されず適宜変更可能である。メモリカードは、ICカードマイコン以外のデータ処理装置を搭載してもよい。フラッシュメモリに対する終了処理の指示はリセット信号を用いる場合に限定されず、その他の信号やコマンドを用いてもよい。処理回路はインタフェース制御回路とフラッシュメモリに限定されない。フラッシュメモリは専ら情報記憶に用いるものに限定されず、プログラマブルロジックアレイを構成するフラッシュメモリであってもよい。また、終了処理は、書き戻し処理、管理情報の書き込み完了処理、又は途中の書き込み動作の完了に限定されず、その他の処理であってもよい。また、デカップリングコンデンサは必ず設けなければならないものではない。

産業上の利用可能性

[0064] 本発明は記憶情報を書き換え可能な不揮発性メモリとその制御回路を搭載し外部から動作電源の供給を受ける半導体装置に広く適用することができる。

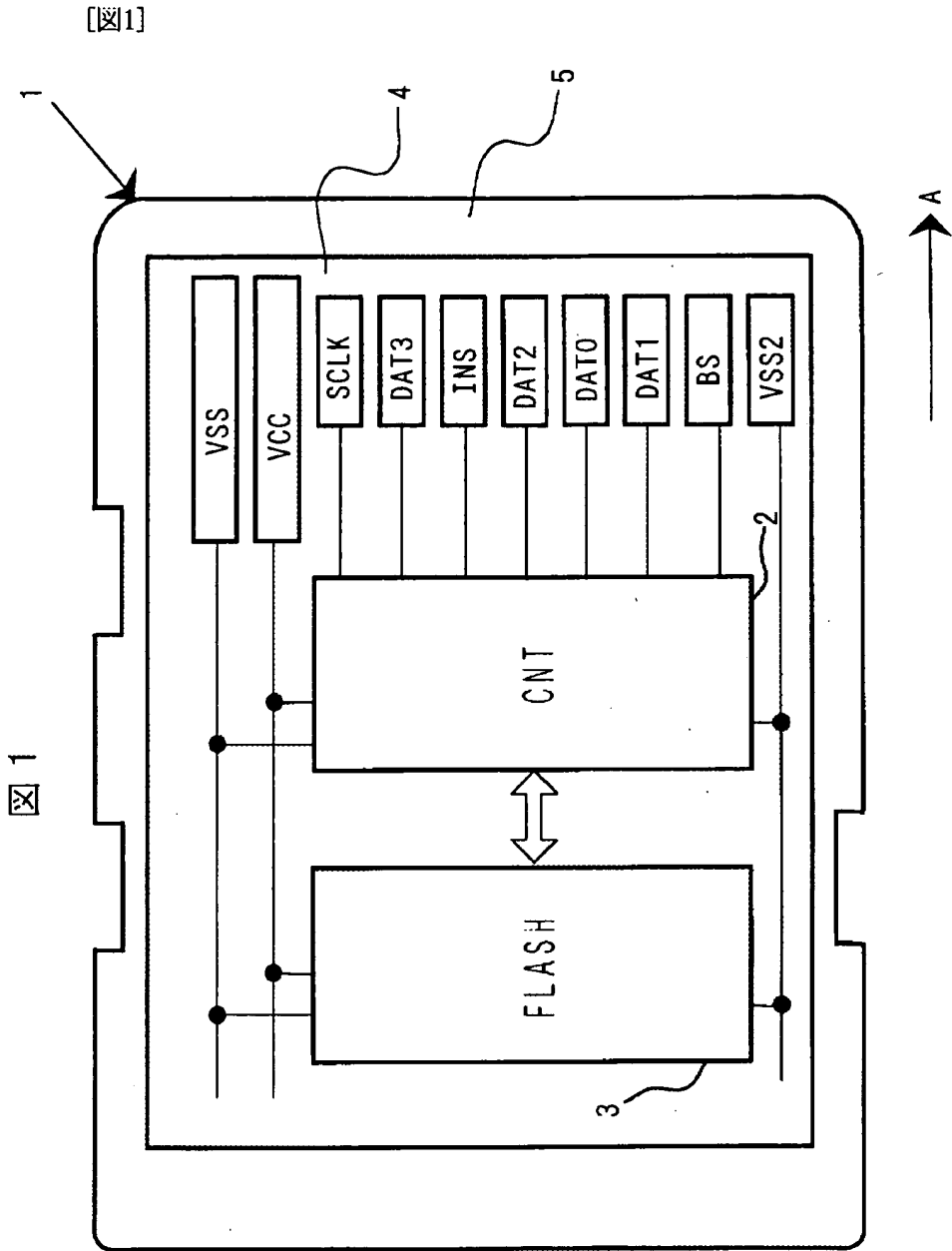
請求の範囲

- [1] 外部インタフェース端子と処理回路を有し、ホスト装置に抜き出し可能に装着されて動作電源の供給を受ける半導体装置であって、
- 前記外部インタフェース端子は、電源供給用端子、抜き出し検出用端子及びその他の端子を有し、
- 前記電源供給用端子は、前記抜き出し検出用端子がホスト装置の対応端子から離脱してから所定時間以上前記ホスト装置の対応端子と接触を維持することができる長さを有し、
- 前記電源供給用端子は、前記抜き出し検出用端子よりも抜き出し方向に長く形成され、
- 前記処理回路は前記外部インタフェース端子に接続されたインタフェース制御回路と、前記インタフェース制御回路によって制御される書き換え可能な不揮発性メモリとを有し、
- 前記不揮発性メモリはメモリセルの閾値電圧の相違によって情報記憶を行い、
- 前記インタフェース制御回路は、前記抜き出し検出用端子がホスト装置の対応端子から離脱してから電源が遮断されるまでに、書き換え処理途中の前記不揮発性メモリに対して所定の処理を完了させる半導体装置。
- [2] 前記所定の処理は、閾値電圧の初期化処理途中の記憶領域に対してメモリセルの閾値電圧を所定の閾値電圧分布に揃える処理である請求項1記載の半導体装置。
- [3] 前記所定の処理は、記憶領域の認識に必要な管理領域に対する情報記憶を完了する処理である請求項1記載の半導体装置。
- [4] 前記所定の処理は、閾値電圧の初期化処理後における途中の情報記憶を完了する処理である請求項1記載の半導体装置。
- [5] 前記電源供給用端子は、前記抜き出し検出用端子よりも抜き出し方向とは反対側にも長くされ、前記抜き出し検出用端子を超えて抜き出し方向とは反対側に突出する長さは抜き出し方向に突出する長さよりも短い請求項1記載の半導体装置。
- [6] 前記インタフェース制御回路は前記抜き出し検出用端子の離脱を検出して前記不揮発性メモリに前記所定の処理を指示する請求項1記載の半導体装置。

- [7] 前記インタフェース制御回路は前記抜き出し検出用端子がホスト装置の対応端子から離脱したときホスト装置から供給されるコマンドに応答して前記不揮発性メモリに前記所定の処理を指示する請求項1記載の半導体装置。
- [8] 外部インタフェース端子と処理回路を有し、ホスト装置に抜き出し可能に装着されて動作電源の供給を受ける半導体装置であって、
前記外部インタフェース端子は、電源供給用端子、抜き出し検出用端子及びその他の端子を有し、
前記電源供給用端子は、前記抜き出し検出用端子がホスト装置の対応端子から離脱してから2.5メートル/秒の抜き出し速度に対して1.0ミリ秒以上ホスト装置の対応端子と接触可能な長さを有し、
前記処理回路は前記外部インタフェース端子に接続されたインタフェース制御回路と、前記インタフェース制御回路によって制御される書き換え可能な不揮発性メモリとを有し、
前記不揮発性メモリはメモリセルの閾値電圧の相違によって情報記憶を行い。
前記インタフェース制御回路は、前記抜き出し検出用端子がホスト装置の対応端子から離脱してから電源が遮断されるまでに、書き換え処理途中の前記不揮発性メモリに対して所定の処理を完了させる半導体装置。
- [9] 前記所定の処理は、閾値電圧の初期化処理途中の記憶領域に対してメモリセルの閾値電圧を所定の閾値電圧分布に揃える処理である請求項8記載の半導体装置。
- [10] 前記所定の処理は、記憶領域の認識に必要な管理領域に対する情報記憶を完了する処理である請求項8記載の半導体装置。
- [11] 前記所定の処理は、閾値電圧の初期化処理後における途中の情報記憶を完了する処理である請求項8記載の半導体装置。
- [12] 前記電源供給用端子は、前記抜き出し検出用端子よりも抜き出し方向に長く形成された請求項8記載の半導体装置。
- [13] 前記電源供給用端子は、前記抜き出し検出用端子よりも抜き出し方向とは反対側にも長くされ、前記抜き出し検出用端子を超えて抜き出し方向とは反対側に突出する長さは抜き出し方向に突出する長さよりも短い請求項12記載の半導体装置。

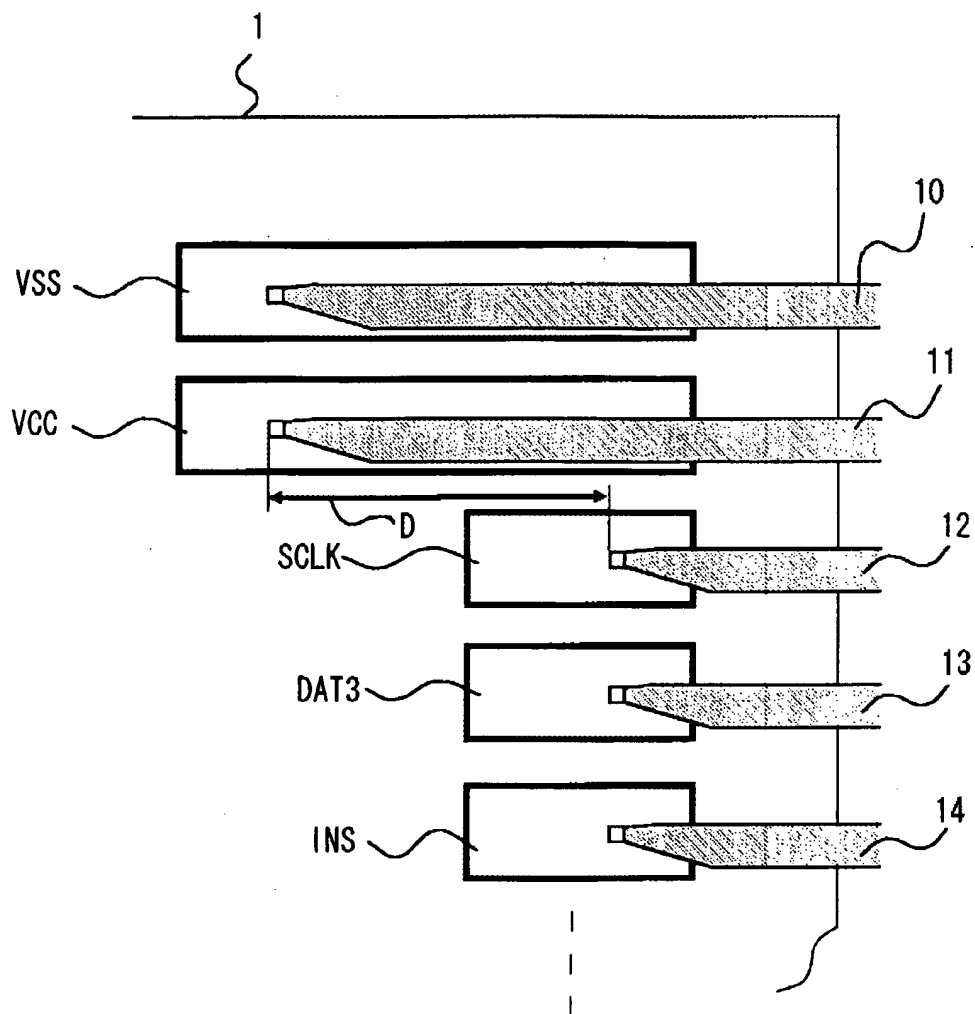
- [14] 前記インタフェース制御回路は前記抜き出し検出用端子の離脱を検出して前記不揮発性メモリに前記所定の処理を指示する請求項8記載の半導体装置。
- [15] 前記インタフェース制御回路は前記抜き出し検出用端子がホスト装置の対応端子から離脱したときホスト装置から供給されるコマンドに応答して前記不揮発性メモリに前記所定の処理を指示する請求項8記載の半導体装置。
- [16] 外部インタフェース端子と処理回路を有し、ホスト装置に抜き出し可能に装着されて動作電源の供給を受ける半導体装置であって、
前記外部インタフェース端子は、抜き出し方向と交差する方向に2列配置され、電源供給用端子、抜き出し検出用端子及びその他の端子を有し、
前記電源供給用端子は、第1列から第2列にまたがる長さを有し、
前記処理回路は前記外部インタフェース端子に接続されたインタフェース制御回路と、前記インタフェース制御回路によって制御される書き換え可能な不揮発性メモリとを有し、
前記不揮発性メモリはメモリセルの閾値電圧の相違によって情報記憶を行い、
前記インタフェース制御回路は、前記抜き出し検出用端子がホスト装置の対応端子から離脱してから電源が遮断されるまでに、書き換え処理途中の前記不揮発性メモリに対して所定の処理を完了させる半導体装置。
- [17] 前記所定の処理は、閾値電圧の初期化処理途中の記憶領域に対してメモリセルの閾値電圧を所定の閾値電圧分布に揃える処理である請求項16記載の半導体装置。
- [18] 前記所定の処理は、記憶領域の認識に必要な管理領域に対する情報記憶を完了する処理である請求項16記載の半導体装置。
- [19] 前記所定の処理は、閾値電圧の初期化処理後における途中の情報記憶を完了する処理である請求項16記載の半導体装置。
- [20] 前記インタフェース制御回路は前記抜き出し検出用端子の離脱を検出して前記不揮発性メモリに前記所定の処理を指示する請求項16記載の半導体装置。
- [21] 前記インタフェース制御回路は前記抜き出し検出用端子がホスト装置の対応端子から離脱したときホスト装置から供給されるコマンドに応答して前記不揮発性メモリに前記所定の処理を指示する請求項16記載の半導体装置。

- [22] 外部インタフェース端子と処理回路を有し、ホスト装置に抜き出し可能に装着されて動作電源の供給を受ける半導体装置であって、
- 前記外部インタフェース端子は、電源供給用端子、抜き出し検出用端子及びその他の端子を有し、
- 前記電源供給用端子は、前記抜き出し検出用端子がホスト装置の対応端子から離脱してから所定時間以上前記ホスト装置の対応端子と接触を維持することができる長さを有し、
- 前記電源供給用端子は、前記抜き出し検出用端子よりも抜き出し方向に長く形成され、
- 前記処理回路は、前記抜き出し検出用端子がホスト装置の対応端子から離脱したとき、電源が遮断されるまでの間に必要な所定の処理を完了させる半導体装置。
- [23] 外部インタフェース端子と処理回路を有し、ホスト装置に抜き出し可能に装着されて動作電源の供給を受ける半導体装置であって、
- 前記外部インタフェース端子は、電源供給用端子、抜き出し検出用端子及びその他の端子を有し、
- 前記電源供給用端子は、前記抜き出し検出用端子がホスト装置の対応端子から離脱してから2.5メートル/秒の抜き出し速度に対して1.0ミリ秒以上ホスト装置の対応端子と接触可能な長さを有し、
- 前記処理回路は、前記抜き出し検出用端子がホスト装置の対応端子から離脱したとき、電源が遮断されるまでの間に必要な所定の処理を完了させる半導体装置。
- [24] 外部インタフェース端子と処理回路を有し、ホスト装置に抜き出し可能に装着されて動作電源の供給を受ける半導体装置であって、
- 前記外部インタフェース端子は、抜き出し方向と交差する方向に2列配置され、電源供給用端子、抜き出し検出用端子及びその他の端子を有し、
- 前記電源供給用端子は、第1列から第2列にまたがる長さを有し、前記抜き出し検出用端子は第1列に配置され、その他の端子は第1列及第2列に配置され、
- 前記処理回路は、前記抜き出し検出用端子がホスト装置の対応端子から離脱したとき、電源が遮断されるまでの間に必要な所定の処理を完了させる半導体装置。

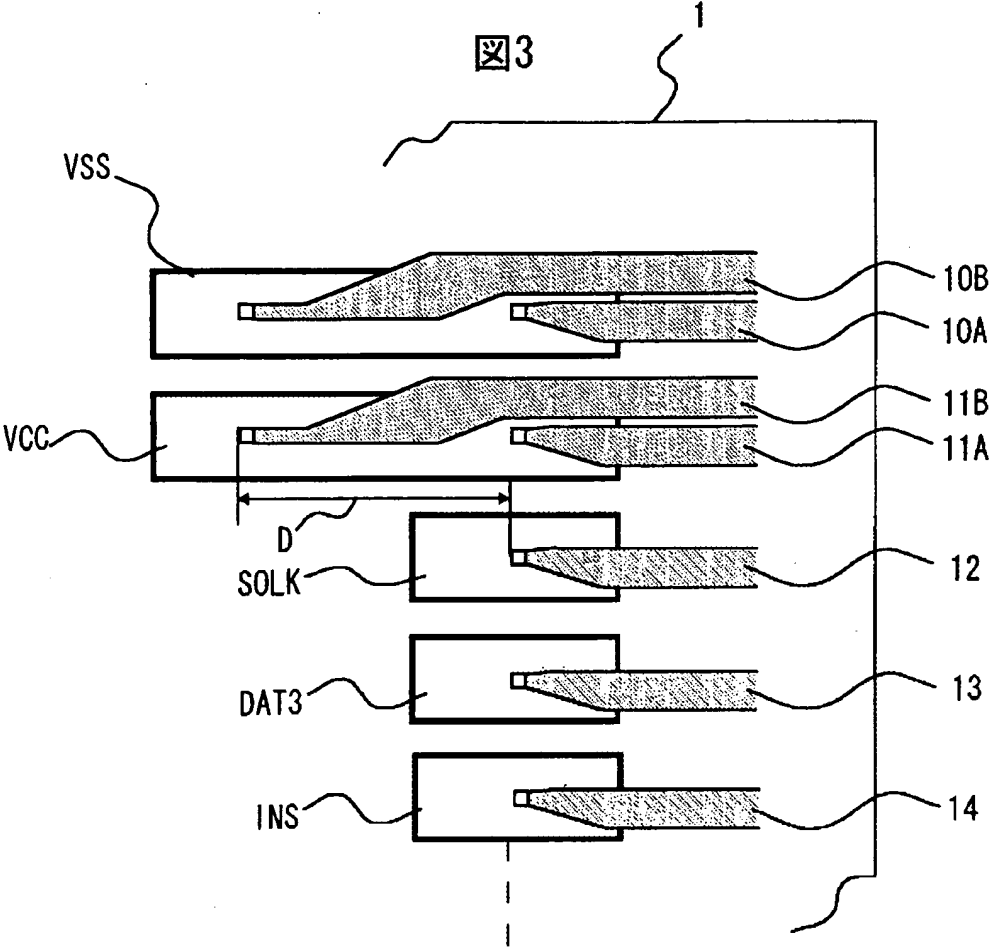


[図2]

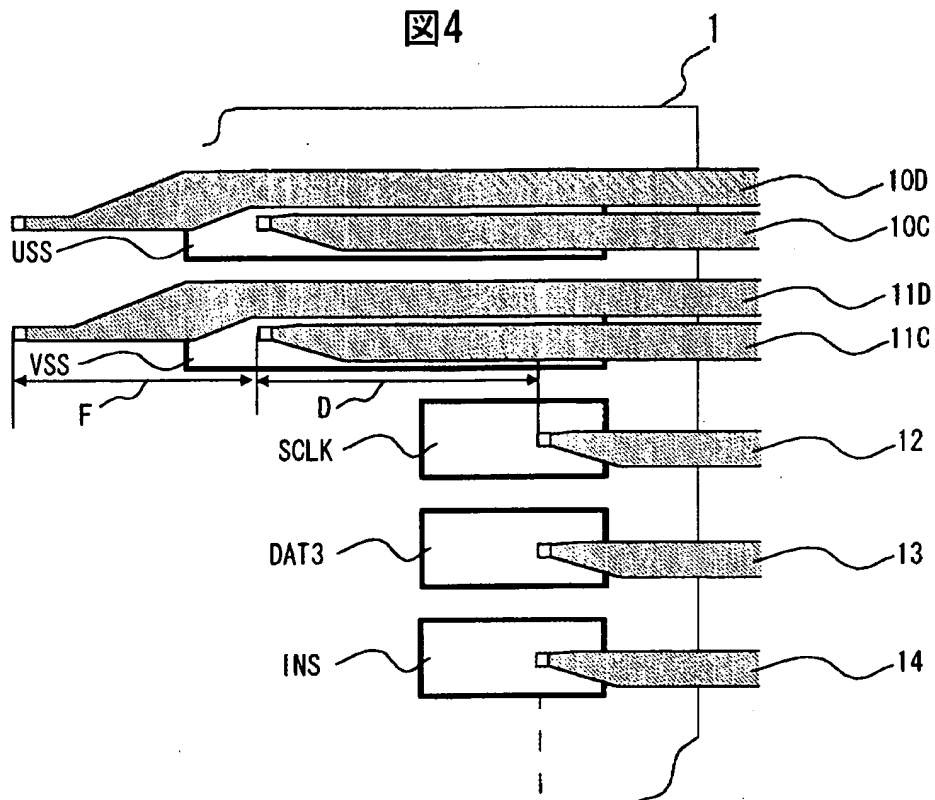
図2



[図3]

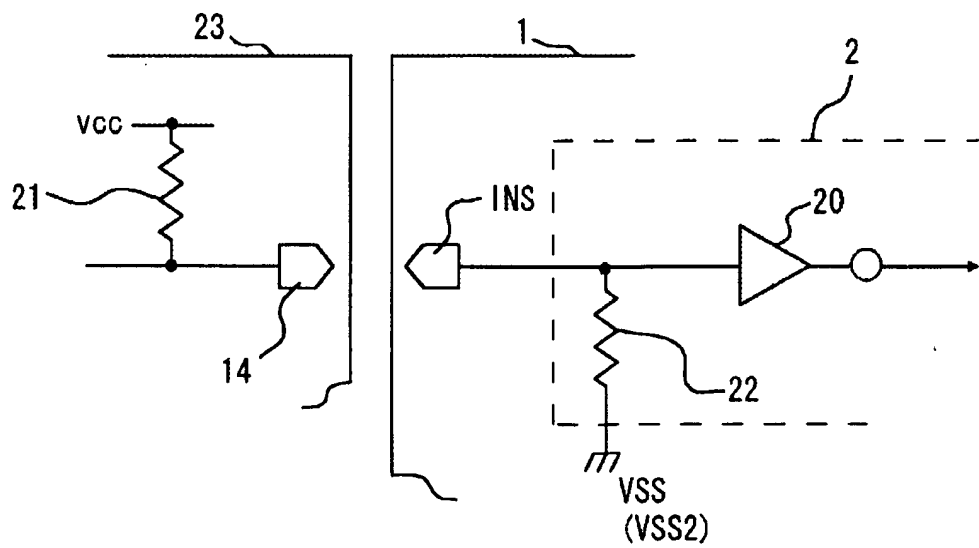


[図4]



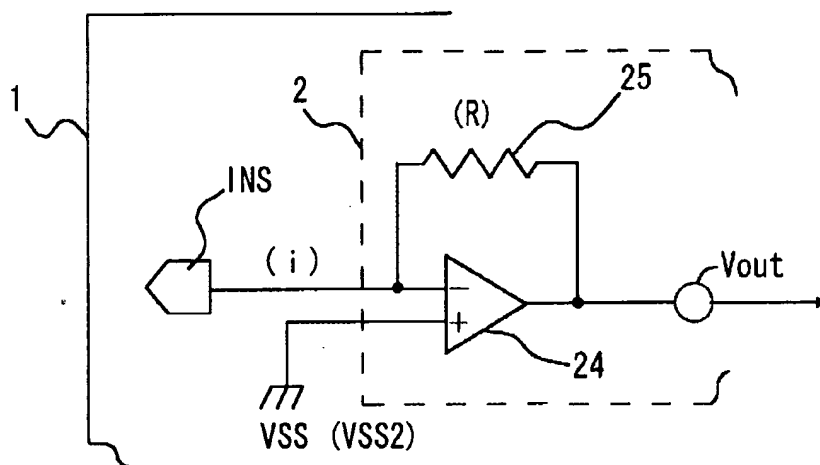
[図5]

図5



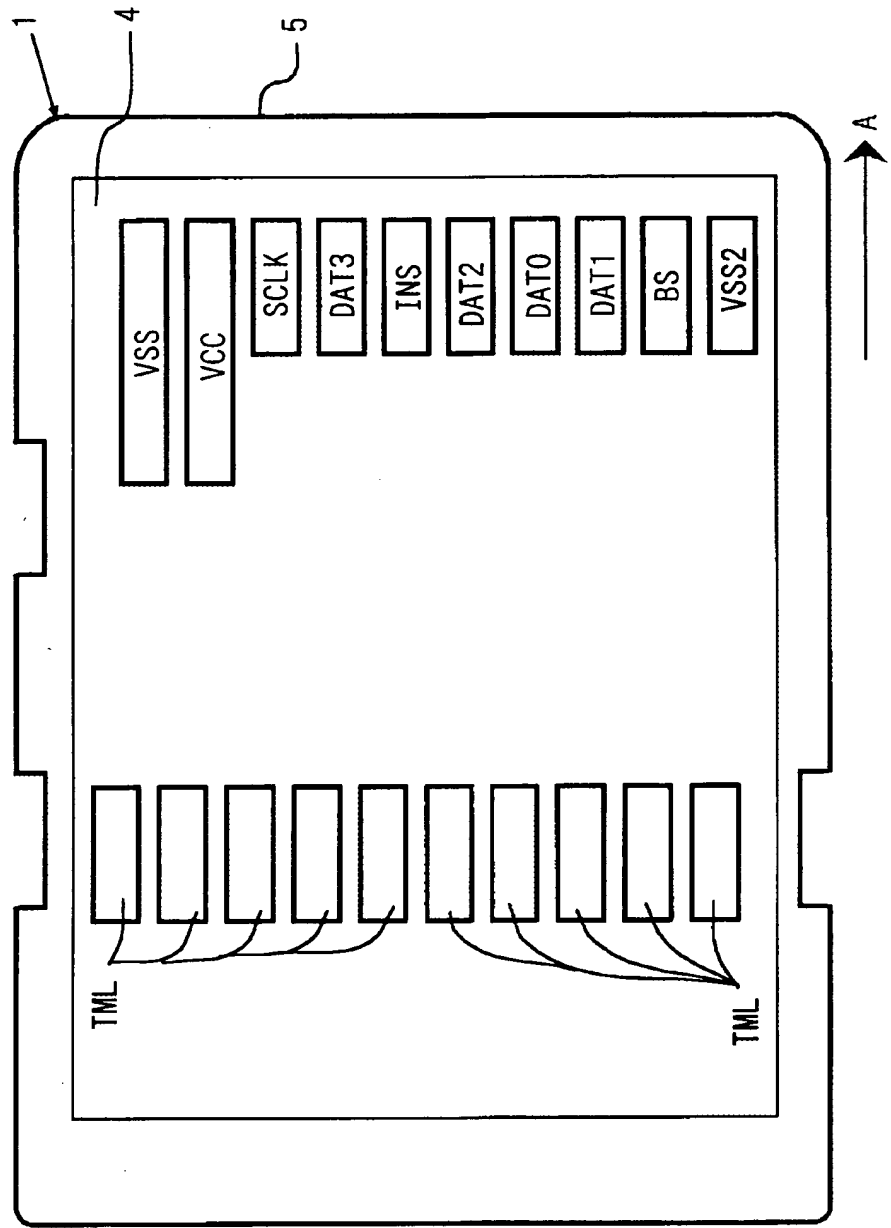
[図6]

図6



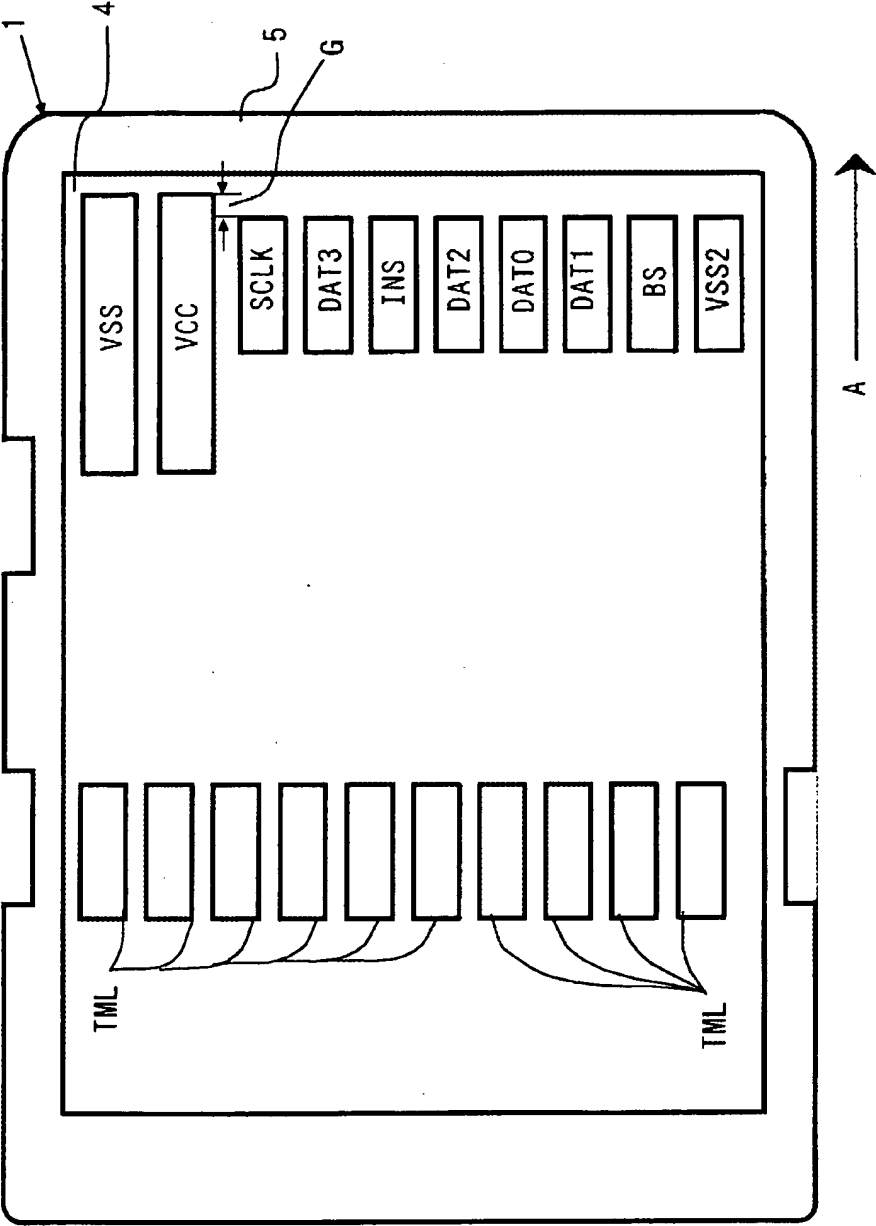
[図7]

図7



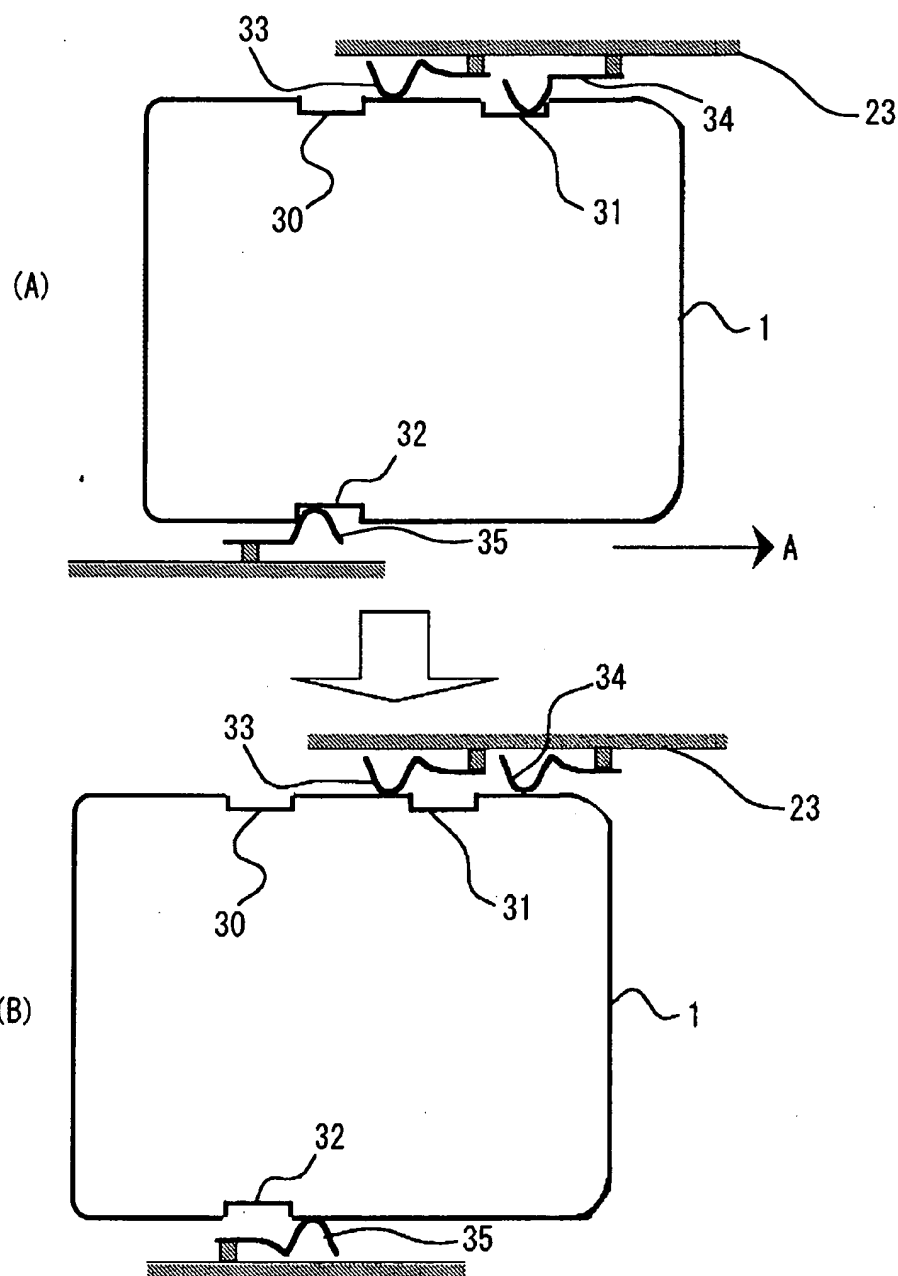
[図8]

図8



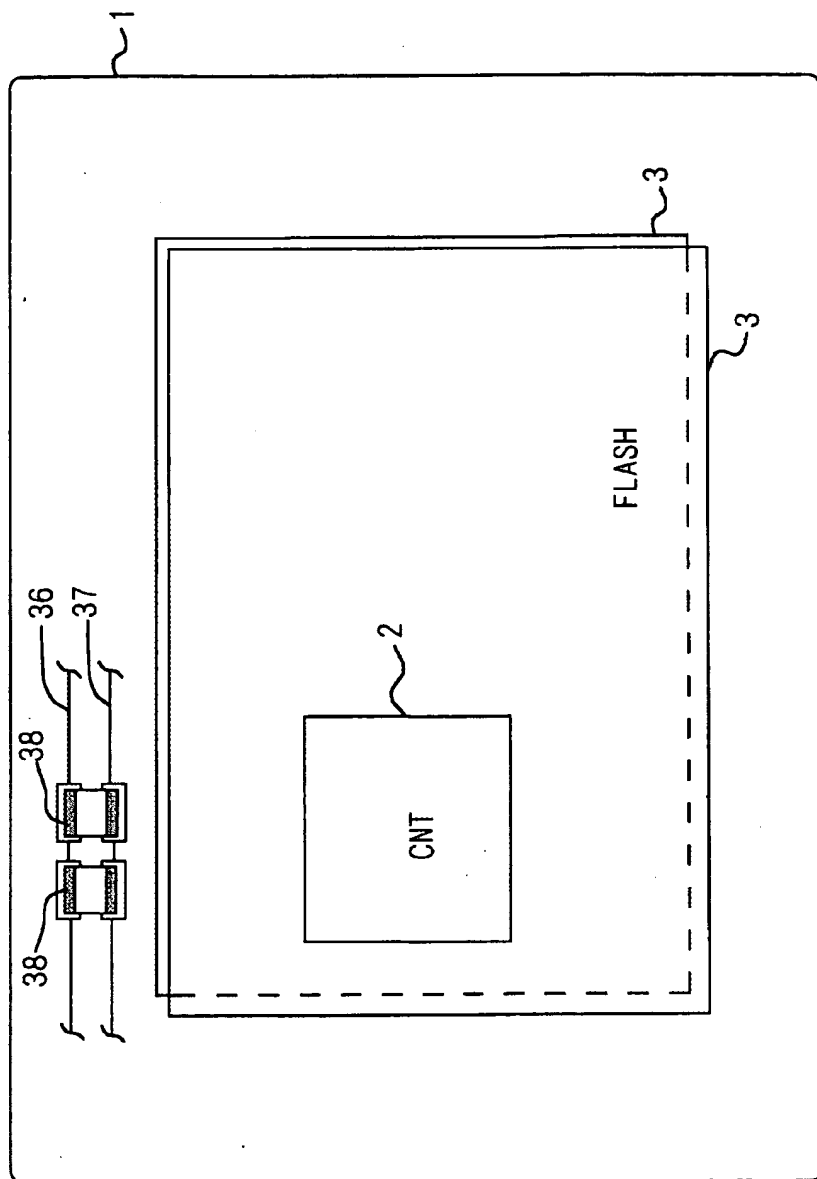
[圖9]

图9

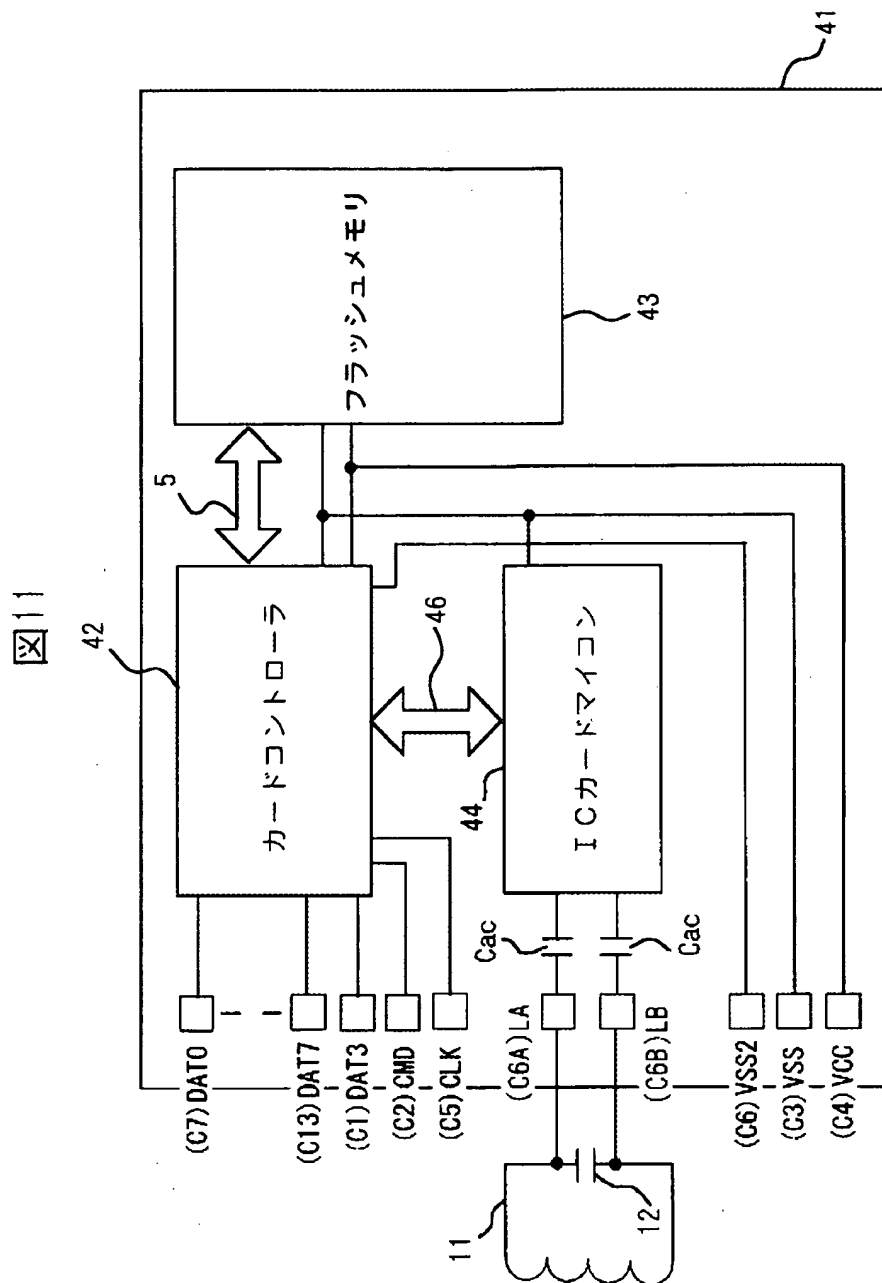


[図10]

図10

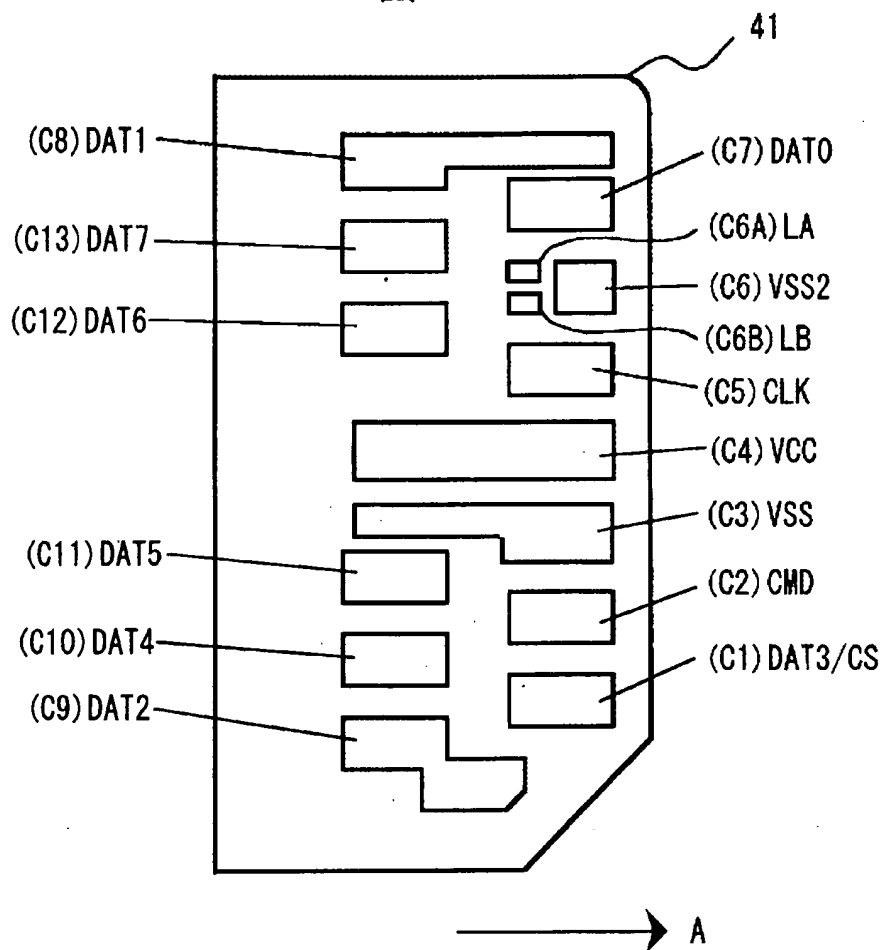


[図11]



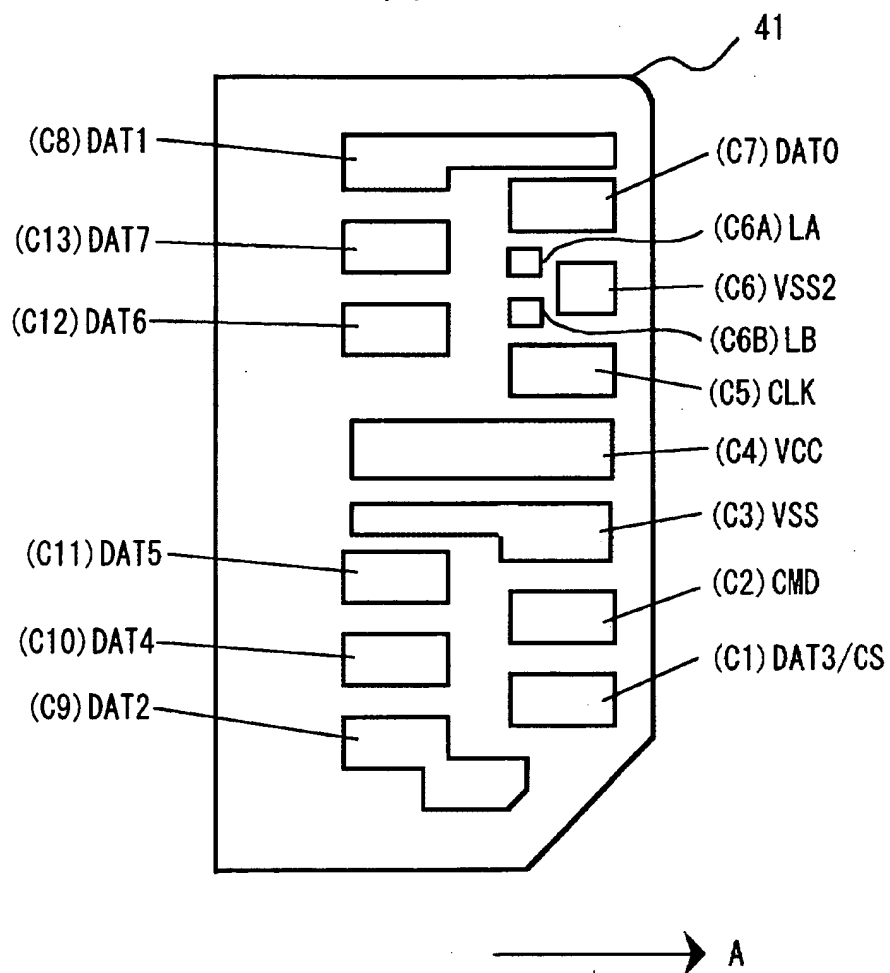
[図12]

図12



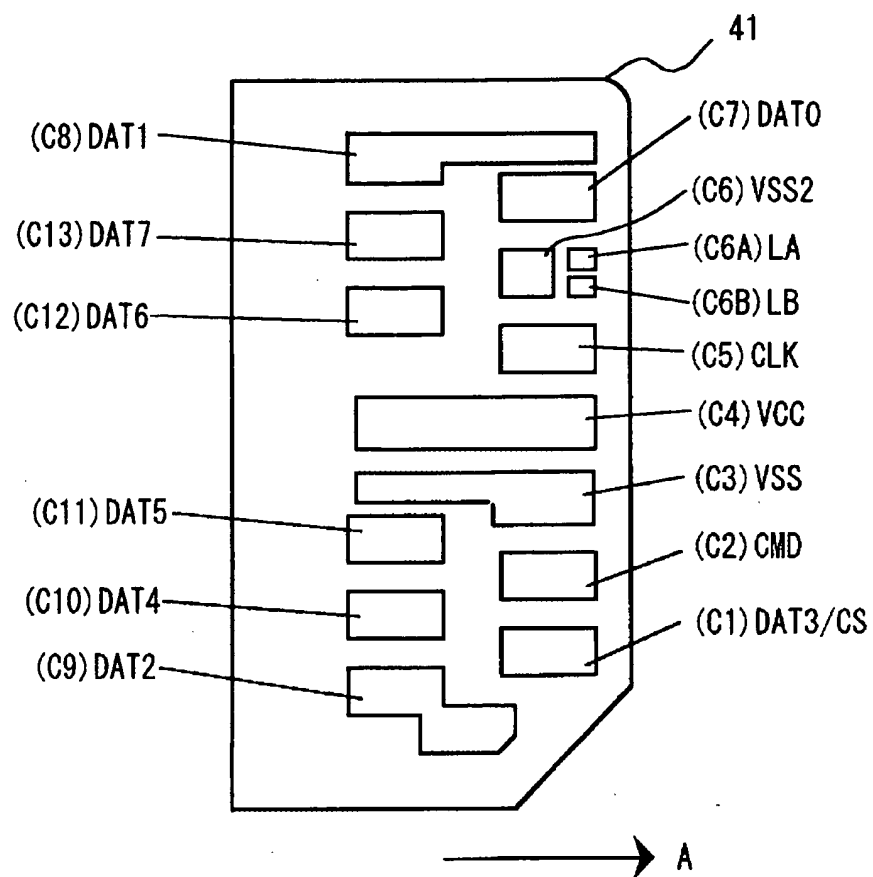
[図13]

図13



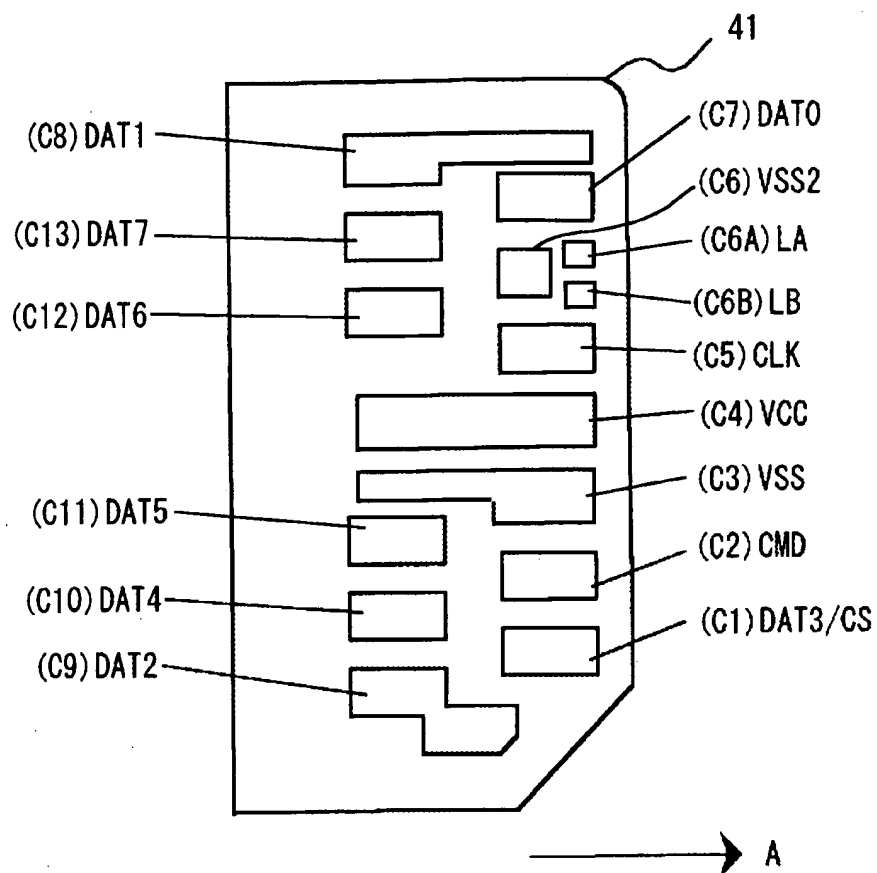
[図14]

図14



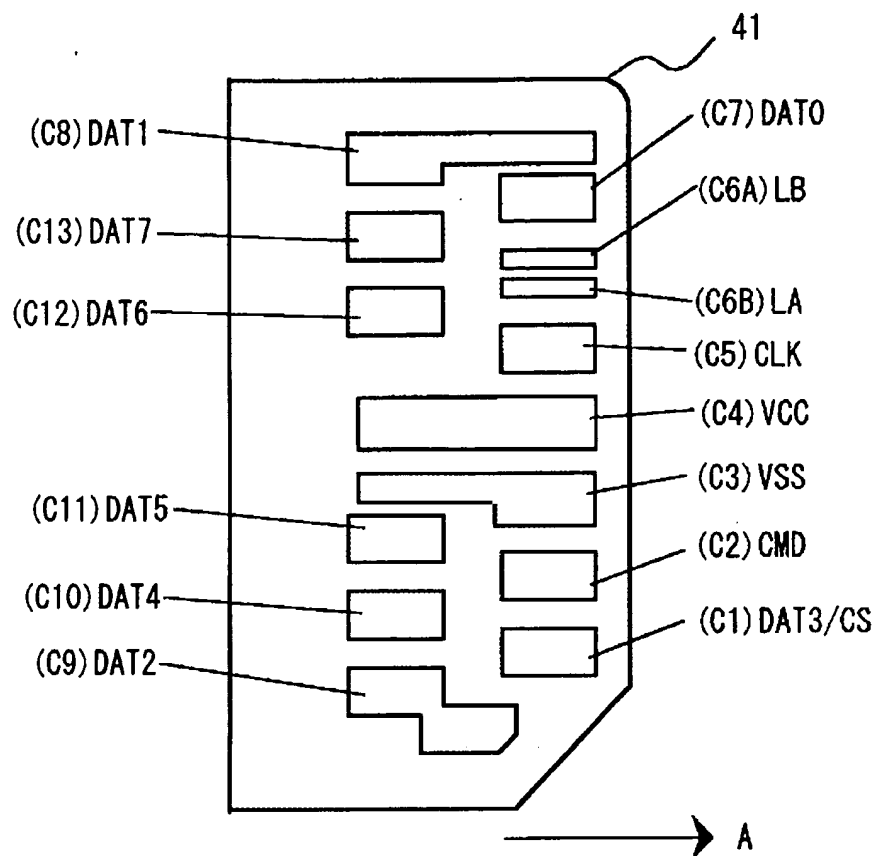
[図15]

図15



[図16]

図16



PATENT COOPERATION TREATY

30

PCT

NOTIFICATION OF THE RECORDING
OF A CHANGE(PCT Rule 92bis.1 and
Administrative Instructions, Section 422)

From the INTERNATIONAL BUREAU

To:

TAMAMURA, Shizuyo
Room 901, Yamashiro Building
1, Kanda, Ogawamachi 1-chome
Chiyoda-ku, Tokyo 101-0052
Japan

Date of mailing (day/month/year) 27 June 2006 (27.06.2006)	IMPORTANT NOTIFICATION
Applicant's or agent's file reference 380400435WO1	
International application No. PCT/JP2004/013929	International filing date (day/month/year) 24 September 2004 (24.09.2004)

1. The following indications appeared on record concerning: <input type="checkbox"/> the applicant <input type="checkbox"/> the inventor <input checked="" type="checkbox"/> the agent <input type="checkbox"/> the common representative	
Name and Address TAMAMURA, Shizuyo Room 813, Shuwa Kioicho TBR Building 7, Kojimachi 5-chome Chiyoda-ku, Tokyo 102-0083 Japan	State of Nationality
	State of Residence
	Telephone No. 03-5212-3941
	Facsimile No. 03-5212-3942
Teleprinter No.	
2. The International Bureau hereby notifies the applicant that the following change has been recorded concerning: <input type="checkbox"/> the person <input type="checkbox"/> the name <input checked="" type="checkbox"/> the address <input type="checkbox"/> the nationality <input type="checkbox"/> the residence	
Name and Address TAMAMURA, Shizuyo Room 901, Yamashiro Building 1, Kanda, Ogawamachi 1-chome Chiyoda-ku, Tokyo 101-0052 Japan	State of Nationality
	State of Residence
	Telephone No. 03-6279-2088
	Facsimile No. 03-6279-2089
Teleprinter No.	
3. Further observations, if necessary: Corrected Version	
4. A copy of this notification has been sent to: <input checked="" type="checkbox"/> the receiving Office <input type="checkbox"/> the designated Offices concerned <input type="checkbox"/> the International Searching Authority <input checked="" type="checkbox"/> the elected Offices concerned <input checked="" type="checkbox"/> the International Preliminary Examining Authority <input type="checkbox"/> other:	

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland	Authorized officer Lazar Joseph PANAKAL (Fax 338 9090)
Facsimile No. (41-22) 338.90.90	Telephone No. (41-22) 338 9634

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.